

#13

**PATENT APPLICATION**

Atty. Docket No.: 4591-220  
 Applicant: Jae-Yong JEONG and Sung-Soo LEE  
 Filing Date: October 30, 2001

Serial No. Not yet assigned  
 Group: Not yet assigned

11002 U.S. PRO  
 10/003390  
 10/30/01

**INFORMATION DISCLOSURE CITATION  
 FORM PTO-1449 (Modified)**

**U.S. PATENT DOCUMENTS**

<u>Exam</u> <u>Init</u>	<u>Ref</u>	<u>Document</u> <u>Number</u>	<u>Issue</u> <u>Date</u>	<u>Name</u>	<u>Class</u>	<u>Sub</u> <u>Class</u>
_____	_____	5,473,563	Dec.5, 1995	Suh, et al.		
_____	_____	5,541, 879	Jul.30, 1996	Suh, et al.		
_____	_____	5,546,341	Aug. 13, 1996	Suh, et al.		
_____	_____	5,712,818	Jan. 27, 1998	Lee, et al.		

**FOREIGN PATENT DOCUMENTS**

<u>Exam</u> <u>Init</u>	<u>Ref</u>	<u>Document</u> <u>Number</u>	<u>Publication</u> <u>Date</u>	<u>Country</u>	<u>Name</u>
_____	_____				
_____	_____				
_____	_____				
_____	_____				

**OTHER DOCUMENTS**

<u>Exam</u> <u>Init</u>	<u>Ref</u>	<u>Author, Title, Date, Pertinent Pages, Etc.)</u>
_____	_____	

Examiner: \_\_\_\_\_

Date Considered: \_\_\_\_\_

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2000년 제 73031 호  
Application Number

출원년월일 : 2000년 12월 04일  
Date of Application

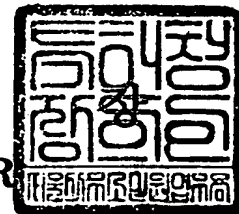
출원인 : 삼성전자 주식회사  
Applicant(s)



2001 년 04 월 26 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2000. 12. 04
【발명의 명칭】	페일 비트 검출 스킴을 구비한 불휘발성 반도체 메모리 장치 및 그것의 페일 비트 카운트 방법
【발명의 영문명칭】	NONVOLATILE SEMICONDUCTOR MEMORY DEVICE WITH A FAIL BI DETECTING SCHEME AND METHOD FOR COUNTING THE NUMBER OF FAIL BITS OF THE NONVOLATILE SEMICONDUCTOR MEMORY DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	정재용
【성명의 영문표기】	JEONG, JAE YONG
【주민등록번호】	730929-1717416
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 주공아파트 107동 405호
【국적】	KR
【발명자】	
【성명의 국문표기】	이성수
【성명의 영문표기】	LEE, SUNG SOO
【주민등록번호】	641125-1051410
【우편번호】	463-010

**【주소】** 경기도 성남시 분당구 정자동 192번지 정든마을 신화 APT 504-502  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 임창현 (인) 대리인  
 권혁수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 23 면 23,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 14 항 557,000 원  
**【합계】** 609,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

여기에 개시되는 불휘발성 반도체 메모리 장치는 페일 비트 검출 블록, 페일 비트 카운터 및 래치 블록, 그리고 데이터 출력 버퍼 블록을 포함한다. 상기 페일 비트 검출 블록은 페일 비트 검출 명령 신호에 응답하여 동작되며, 열 선택 회로에 의해서 선택된 데이터 비트들이 페일 비트를 포함하는지의 여부를 판별하고, 판별 결과에 따른 페일 플래그 신호들을 출력한다. 상기 페일 비트 카운터 및 래치 블록은 상기 페일 비트 검출 블록으로부터의 페일 플래그 신호들에 응답하여 선택된 행의 메모리 셀들에 저장된 데이터 비트들에 대한 페일 비트 수를 카운트하여 상기 카운트된 페일 비트 수를 나타내는 페일 코드를 저장한다. 상기 데이터 출력 버퍼 블록은 페일 비트 독출 명령 신호의 활성화 구간 동안 상기 페일 비트 카운터 및 래치 블록으로부터의 페일 코드를 독출 인에이블 신호에 동기되어 상기 입출력 핀들을 통해 외부로 출력한다. 이러한 회로 구성에 따르면, 메모리 장치에/로부터 데이터를 프로그램하는/읽는 과정에서 발생하는 페일 비트 수를 정확하게 카운트함으로써 수율을 향상시킬 수 있다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

페일 비트 검출 스킴을 구비한 불휘발성 반도체 메모리 장치 및 그것의 페일 비트 카운트 방법{NONVOLATILE SEMICONDUCTOR MEMORY DEVICE WITH A FAIL BIT DETECTING SCHEME AND METHOD FOR COUNTING THE NUMBER OF FAIL BITS OF THE NONVOLATILE SEMICONDUCTOR MEMORY DEVICE}

**【도면의 간단한 설명】**

도 1은 본 발명의 제 1 실시예에 따른 불휘발성 반도체 메모리 장치를 보여주는 블록도;

도 2는 도 1에 도시된 예상 데이터 입력 버퍼 블록의 바람직한 실시예;

도 3은 도 1에 도시된 페일 비트 검출 블록의 바람직한 실시예;

도 4는 도 1에 도시된 페일 비트 카운터 및 래치 블록의 바람직한 실시예;

도 5는 도 4에 도시된 T 플립-플롭의 바람직한 실시예;

도 6은 도 4의 입력 신호들과 출력 신호들의 파형 관계를 보여주는 도면;

도 7은 도 1에 도시된 데이터 출력 버퍼 블록의 바람직한 실시예;

도 8은 도 1에 도시된 글로벌 버퍼 및 제어 버퍼 블록 내의 독출 인에이블 버퍼의 바람직한 실시예;

도 9는 본 발명에 따른 불휘발성 반도체 메모리 장치의 전체적인 동작을 보여주는 흐름도;

도 10은 본 발명에 따른 페일 비트 검출 동작을 설명하기 위한 흐름도;

도 11a 및 도 11b는 2 또는 그 보다 많은 페일 비트들이 발생하는 불휘발성 반도체 메모리 장치의 동작 타이밍도;

도 12는 하나의 페일 비트가 발생하는 불휘발성 반도체 메모리 장치의 동작 타이밍도;

도 13은 페일 비트가 발생되지 않은 불휘발성 반도체 메모리 장치의 동작 타이밍도;

도 14는 본 발명의 제 2 실시예에 따른 불휘발성 반도체 메모리 장치의 블록도;

도 15는 도 14에 도시된 데이터 출력 버퍼 블록의 바람직한 실시예; 그리고

도 16은 도 14에 도시된 페일 비트 검출 블록의 바람직한 실시예이다.

**\*도면의 주요 부분에 대한 부호의 설명\***

100 : 메모리 셀 어레이    110 : 글로벌 버퍼 및 제어 버퍼 블록

120 : 커패드 레지스터 블록

130 : 행 어드레스 버퍼 및 디코더 블록

140 : 열 어드레스 버퍼 및 디코더 블록

150 : 행 디코더 블록    160 : 페이지 버퍼 및 래치 블록

170 : 열 선택 블록    180 : 데이터 입출력 제어 블록

190 : 예상 데이터 입력 버퍼 블록    200 : 페일 비트 검출 블록

210 : 페일 비트 카운터 및 래치 블록

220 : 데이터 출력 버퍼 블록

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<27> 본 발명은 집적 회로 장치들에 관한 것으로서, 좀 더 구체적으로는 전자 장치에 사용되는 전기적으로 소거 및 프로그램 가능한 불휘발성 반도체 메모리 장치에 관한 것이다.

<28> 전기적으로 소거 및 프로그램 가능한 불휘발성 메모리 장치는 전자 시스템에 정보 저장 장치로서 사용되며, 그러한 전자 시스템에는 이 분야에 잘 알려진 에러 정정 코드 알고리즘 (error correction code algorithm)이 탑재되어 있다. 이러한 이유로, 비록 전자 시스템에 사용된 불휘발성 반도체 메모리 장치의 읽기 및 쓰기 동작 중 에러가 생기더라도, 탑재된 에러 정정 코드 알고리즘에 의해서 에러가 보정될 수 있다. 다시 말해서, 에러 정정 코드 알고리즘을 탑재한 전자 시스템은 보정 가능한 페일 비트 수를 포함하는 것을 허용한다.

<29> 불휘발성 반도체 메모리 장치, 특히, 낸드형 플래시 메모리 장치는 복수의 어레이 (또는 메모리) 블록들로 이루어진 어레이를 포함한다. 일반적으로, 어레이는 허용 가능한 배드 블록들을 포함하며, 그러한 배드 블록들은 실질적으로 사용되지 않는다. 패키징된 또는 완성된 낸드형 플래시 메모리 장치의 출하 전에 테스트 동작이 수행될 때, 상기 어레이의 정상적인 어레이 블록들 중 적어도 하나가 페일 비트(들)을 포함하는 것으로서 판별되는 경우, 그러한 메모리 장치는 폐기된다. 만약 테스트 동작에서 발견된 상기 어레이 블록의 페일 비트 수가 전자 시스템의 보정 가능한 페일 비트 수를 초과하지 않



으면, 테스트 동작에서 판별된 배드 블록을 포함한 낸드형 플래시 메모리 장치는 에러 정정 코드 알고리즘을 탑재한 전자 시스템에서 사용될 수 있다. 이는 수율이 향상될 수 있음을 의미한다.

<30> 일반적으로, 테스트 시간을 줄이기 위해, 복수의 패키징된 메모리 장치들이 동시에 테스트된다. 이때, 패키징된 메모리 장치들을 동시에 테스트하는 테스트 장비의 에러 저장 공간 (error capture RAM)이 한정되어 있기 때문에, 함축된 테스트 결과가 테스트 장비의 에러 저장 공간에 저장된다. 이러한 테스트 스킴에 따르면, 비록 각 패키징된 메모리 장치의 각 어레이 블록 내에서 적어도 하나의 비트가 패일되더라도, 그러한 어레이 블록은 배드 블록으로 판별된다. 이러한 경우, 배드 블록으로 판별된 어레이 블록 내의 패일 비트 수를 확인하는 것이 불가능하다.

<31> 패일 비트 수를 판별하기 위해서, 소프트웨어적으로 각 테스트 과정에서 패일 비트를 하나씩 카운트하는 방법이 사용될 수 있다. 즉, 모든 메모리 셀들에 대응하는 테스트 결과를 테스트 장비의 에러 저장 공간에 저장함으로써 각 메모리 장치의 정확한 패일 비트 수가 측정될 수 있다. 하지만, 그러한 소프트웨어 스킴의 경우, 테스트 장비의 에러 저장 공간이 한정되어 있기 때문에, 동시에 테스트되는 메모리 장치들의 수가 감소된다. 이는 테스트 시간이 증가됨을 의미한다.

<32> 결과적으로, 테스트 동작에서 배드 칩으로 판별된 메모리 장치가 구제될 수 있도록 전자 시스템에서 허용되는 메모리 장치의 패일 비트 수를 정확하게 판별할 수 있는 내장된 패일 비트 검출 스킴이 요구된다.

**【발명이 이루고자 하는 기술적 과제】**

- <33>        본 발명의 목적은 어레이 블럭에서 발생된 페일 비트 수를 정확하게 측정할 수 있는 불휘발성 반도체 메모리 장치를 제공하는 것이다.
- <34>        본 발명의 다른 목적은 불휘발성 반도체 메모리 장치의 어레이 블럭에서 발생된 페일 비트 수를 정확하게 측정할 수 있는 방법을 제공하는 것이다.
- <35>        본 발명의 또 다른 목적은 테스트 시간을 줄일 수 있는 불휘발성 반도체 메모리 장치 및 그것의 테스트 방법을 제공하는 것이다.
- <36>        본 발명의 또 다른 목적은 수율을 향상시킬 수 있는 불휘발성 반도체 메모리 장치 및 그것의 테스트 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <37>        (구성)
- <38>        상술한 제반 목적들을 달성하기 위한 본 발명의 일 특징에 따르면, 불휘발성 반도체 메모리 장치는 행들과 열들의 매트릭스 형태로 배열된 메모리 셀들의 어레이를 포함한다. 상기 반도체 메모리 장치는 행 디코더 회로, 페이지 버퍼 및 래치 회로, 열 선택 회로, 예상 데이터 입력 버퍼 회로, 페일 비트 검출 회로 및 페일 비트 카운터 및 래치 회로를 더 포함한다. 상기 행 디코더 회로는 행 어드레스에 응답하여 상기 행들 중 하나를 선택하고, 상기 페이지 버퍼 및 래치 회로는 상기 선택된 행의 메모리 셀들에 프로그램된 데이터를 감지하고 상기 감지된 데이터를 임시적으로 저장한다. 상기 열 선택 회로는 열 어드레스에 응답하여 상기 열들의 일부를 선택하고, 상기 선택된 열들에 대응하는 데이터 비트들을 출력한다. 상기 예상 데이터 입력 버퍼 회로는 페일 비트 검출 명령

신호에 응답하여 입출력 핀들을 통해 외부로부터 제공되는 예상 데이터 비트들을 받아들인다. 상기 페일 비트 검출 회로는 상기 페일 비트 검출 명령 신호에 응답하여 동작되며, 상기 예상 데이터 비트들과 상기 선택된 데이터 비트들을 받아들이고, 상기 열 선택 회로에 의해서 선택된 데이터 비트들이 페일 비트를 포함하는지의 여부를 판별하여 판별 결과에 따른 제 1 및 제 2 페일 플래그 신호들을 출력한다. 상기 페일 비트 카운터 및 래치 회로는 상기 페일 비트 검출 회로로부터의 제 1 및 제 2 페일 플래그 신호들에 응답하여 상기 선택된 행의 메모리 셀들에 저장된 데이터 비트들에 대한 페일 비트 수를 카운트하여 상기 카운트된 페일 비트 수를 나타내는 페일 코드를 출력한다.

<39> 본 발명의 다른 특징에 의하면, 행들과 열들의 매트릭스 형태로 배열된 메모리 셀들의 어레이를 갖는 불휘발성 반도체 메모리 장치의 페일 비트를 검출하는 방법이 제공된다. 상기 방법에 따르면, 먼저, 읽기 명령 신호에 응답하여 상기 어레이에 저장된 데이터가 페이지 버퍼 및 래치 회로에 의해서 감지되고, 열 어드레스에 응답하여 상기 감지된 데이터 비트들 중 일부가 열 선택 회로에 의해서 선택된다. 그 다음에, 페일 비트 검출 회로는 상기 선택된 데이터 비트들이 외부로부터 인가되는 대응하는 예상 데이터 비트들과 각각 일치하는지의 여부를 검출한다. 페일 비트 카운터 및 래치 회로는 상기 검출 결과에 따라 일치하지 않는 데이터 비트 수를 카운트하고, 상기 카운트 값에 따라 결정된 페일 코드를 저장한다. 그 다음에, 상기 열 어드레스를 증가시킨 후, 상기 열 어드레스가 최대값에 도달할 때까지 상기 선택, 검출 및 저장 단계들이 반복적으로 수행된다. 마지막으로, 상기 열 어드레스가 최대값에 도달할 때, 페일 비트 독출 명령 신호에 따라 상기 저장된 페일 코드가 입출력 핀들을 통해 외부로 출력된다.

<40> (작용)

- <41> 이러한 장치 및 방법에 의하면, 불휘발성 반도체 메모리 장치에/로부터 데이터를 프로그램하는/읽는 과정에서 발생하는 페일 비트 수를 정확하게 카운트할 수 있다.
- <42> (실시예)
- <43> 이하, 본 발명에 따른 바람직한 실시예가 참조 도면들에 의거하여 상세히 설명된다.
- <44> 도 1은 본 발명의 제 1 실시예에 따른 불휘발성 반도체 메모리 장치를 보여주는 블록도이다.
- <45> 도 1을 참조하면, 불휘발성 반도체 메모리 장치로서 낸드형 플래시 메모리 장치 (1)는 정보를 저장하기 위한 영역으로서 어레이 (100)를 포함하며, 상기 어레이 (100)에는, 도면에 도시되지 않았지만, 행들 또는 워드 라인들과 열들 또는 비트 라인들의 매트릭스 형태로 배열된 복수의 메모리 셀들을 포함한다. 각 메모리 셀은 전기적으로 소거 및 프로그램 가능한 롬 셀 트랜지스터를 갖는다. 상기 불휘발성 반도체 메모리 장치 (1)는 글로벌 버퍼 및 제어 버퍼 블록 (110), 커맨드 레지스터 (120), 행 어드레스 버퍼 및 디코더 블록 (130), 열 어드레스 버퍼 및 디코더 블록 (140), 행 디코더 블록 (150), 페이지 버퍼 및 래치 블록 (160), 열 선택 블록 (170), 그리고 데이터 입출력 제어 블록 (180)을 포함한다.
- <46> 글로벌 버퍼 및 제어 버퍼 블록 (110)은 외부로부터 제공되는 제어 신호들 (CLE, ALE, nCE, nRE, nWE)을 버퍼링하는 복수의 제어 버퍼들 및 입출력 핀들 (I/O<sub>i</sub>) (i=0-7)을 통해 제공되는 어드레스 또는 데이터를 받아들이는 글로벌 버퍼들로 구성된다. 이 실시예에 있어서, 입출력 핀들을 (I/O<sub>i</sub>)에 인가되는 신호들은 제어 신호들의 조합에 따라

어드레스, 데이터 또는 커맨드로서 사용된다.

<47> 예를 들면, 현재 입력된 제어 신호들의 조합이 커맨드 입력을 나타낼 때, 입출력 핀들 (I/Oi)에 입력된 신호들 (CMD\_data[i])은 커맨드 레지스터 (120)로 전달된다. 그리고, 현재 입력된 제어 신호들의 조합이 어드레스 입력을 나타낼 때, 입출력 핀들 (I/Oi)에 입력된 신호들 (Xadd\_data[i], Yadd\_data[i])은 행 어드레스 버퍼 및 디코더 블록 (130) 및 열 어드레스 버퍼 및 디코더 블록 (140)으로 각각 전달된다. 현재 입력된 제어 신호들의 조합이 데이터 입력을 나타내는 경우, 입출력 핀들 (I/Oi)에 입력된 신호들 (Data[i])은 데이터 입출력 제어 블록 (180)으로 전달된다.

<48> 계속해서 도 1을 참조하면, 상기 커맨드 레지스터 블록 (120)은 그로벌 버퍼 및 제어 버퍼 블록 (110)으로부터 제공되는 신호들 (CMD\_data[i])에 응답하여 페일 비트 검출 명령 신호 (FailDetect\_CMD) 또는 페일 비트 독출 명령 신호 (FailRead\_CMD)를 발생한다. 상기 행 디코더 블록 (150)은 행 어드레스 버퍼 및 디코더 블록 (130)으로부터 제공되는 어드레스 (Xaddress[n:0])에 응답하여 상기 어레이 (100)의 선택된 메모리 블록 내의 워드 라인을 선택한다. 페이지 버퍼 및 래치 블록 (160)은, 읽기 동작 동안, 상기 선택된 메모리 블록의 선택 워드 라인 (또는 선택 페이지)에 관련된 메모리 셀들에 저장된 데이터를 감지 증폭하며, 상기 감지된 데이터를 임시적으로 저장한다. 프로그램 (또는 쓰기) 동작 동안, 상기 페이지 버퍼 및 래치 블록 (160)은 상기 그로벌 버퍼 및 제어 버퍼 블록 (110), 데이터 입출력 제어 블록 (180) 그리고 열 선택 블록 (170)을 통해 제공되는 쓰기 데이터를 임시적으로 래치한다. 상기 열 선택 블록 (170)은, 읽기 동작 동안, 상기 열 어드레스 버퍼 및 디코더 블록 (140)으로부터 제공되는 어드레스 신호들 (Yaddress[m:0])에 응답하여 상기 페이지 버퍼 및 래치 블록 (160)에 래치된, 한 페이지

에 대응하는, 독출 데이터 비트들 중 일부 (예를 들면, 입출력 핀들에 대응하는 데이터 비트들)를 선택하고, 상기 선택된 독출 데이터 비트들을 데이터 입출력 제어 블록 (180)으로 전달한다.

<49> 본 발명의 불휘발성 반도체 메모리 장치 (1)는, 도 1에 도시된 바와 같이, 예상 데이터 입력 버퍼 블록 (190), 페일 비트 검출 블록 (200), 페일 비트 카운터 및 래치 블록 (210), 그리고 데이터 출력 버퍼 블록 (220)을 더 포함한다. 예상 데이터 입력 버퍼 블록 (190)은 상기 커맨드 레지스터 블록 (120)로부터의 페일 비트 검출 명령 신호 (FailDetect\_CMD)에 응답하여 동작되며, 입출력 핀들 (I/O[i])을 통해 예상 데이터 비트들 (Dexpect\_ext[i])을 입력받는다. 여기서, 상기 예상 데이터 비트들 (Dexpect\_ext[i])은 상기 어레이 (100)에 프로그램된 데이터 비트들과 동일하다.

<50> 본 발명에 따른 예상 데이터 입력 버퍼 블록 (190)의 바람직한 실시예가 도 2에 도시되어 있다. 도 2에는, 단지 하나의 입출력 핀에 대응하는 예상 데이터 입력 버퍼가 도시되어 있지만, 나머지 입출력 핀들에 대응하는 버퍼들 역시 그것과 동일하게 구성됨은 자명하다. 예상 데이터 입력 버퍼 (190)는 2-입력 낸드 게이트 (501)와 인버터 (502)로 구성된다. 낸드 게이트 (501)는 대응하는 입출력 핀 (I/O[i])에 연결된 제 1 입력 단자 및 상기 페일 비트 검출 명령 신호 (FailDetect\_CMD)를 받아들이는 제 2 입력 단자를 가지며, 인버터 (502)는 낸드 게이트 (501)의 출력을 받아들여 예상 데이터 비트 (Dexpect\_ext[i])를 출력한다.

<51> 다시 도 1을 참조하면, 상기 페일 비트 검출 블록 (200)은 테스트 동작 모드시 활성화되는 페일 비트 검출 명령 신호 (FailDetect\_CMD)에 응답하여 동작되며, 독출 인에이블 신호 (nREout) 및 페일 비트 검출 명령 신호 (FailDetect\_CMD)에 따라 상기 열 선

택 블록 (170)에 의해서 선택된 독출 데이터 비트들 (Dsense[i])을 받아들인다. 상기 독출 인에이블 신호 (nREout)는 로직 게이트들 (예를 들면, NOR 게이트 및 인버터)을 이용하여 신호들 (nRE, nCE)을 조합 (도 8 참조)함으로써 생성된다. 페일 비트 검출 블록 (200)은 상기 입력된 독출 데이터 비트들 (Dsense[i])이 상기 예상 데이터 입력 버퍼 블록 (190)을 통해 입력된 예상 데이터 비트들 (Dexpect\_ext[i])과 각각 일치하는지의 (또는 상기 독출 데이터 비트들이 페일 비트(들)를 포함하는지의) 여부를 판별한다. 페일 비트 검출 블록 (200)은 판별 결과에 따라 페일 플래그 신호들 (FailFlag[0], FailFlag[1])을 발생한다. 본 발명에 따른 페일 비트 검출 블록 (200)의 바람직한 실시예가 도 3에 도시되어 있다.

<52>       도 3을 참조하면, 페일 비트 검출 블록 (200)은 입력된 독출 데이터 비트들 (Dsense[7]-Dsense[0])에 각각 대응하는 입력부들 (200a)와 페일 플래그 신호 발생부 (200b)로 구성된다. 도 3에는, 단지 하나의 입력부가 도시되어 있지만, 나머지 입력들 역시 그것과 동일하게 구현됨은 자명하다. 각 입력부 (200a)는 신호들 (FailDetect\_CMD, nREout)에 응답하여 대응하는 독출 데이터 비트 (Dsense[i])를 내부 독출 데이터 비트 (Dsense\_int[i])로서 출력한다. 각 입력부 (200a)는 인버터들 (503, 508, 509, 511), 2개의 PMOS 트랜지스터들 (504, 505), 2개의 NMOS 트랜지스터들 (506, 507), 그리고 낸드 게이트 (510)로 구성되며, 도면에 도시된 바와 같이 연결된다. 동작에 있어서, 상기 페일 비트 검출 명령 신호 (FailDetect\_CMD)가 로우 레벨로 유지될 때, 대응하는 독출 데이터 비트 (Dsense[i])의 값 및 읽기 인에이블 신호 (nREout)의 로직 레벨에 관계없이 내부 독출 데이터 비트 (Dsense\_int[i])는 로우 레벨로 유지된다. 이에 반해서, 페일 비트 검출 명령 신호 (FailDetect\_CMD)가 하이 레벨로 활성화될 때, 대응하는 내부 독출

데이터 비트 (Dsense\_int[i])의 값은 읽기 인에이블 신호 (nREout)의 로우 구간 동안 입력된 데이터 비트 (Dsense[i])의 값에 따라 결정된다.

<53> 계속해서 도 3을 참조하면, 상기 페일 플래그 신호 발생부 (200b)는 상기 입력부들 (200a)로부터 출력되는 내부 독출 데이터 비트들 (Dsense\_int[i]) 및 상기 예상 데이터 입력 버퍼 (190)로부터 출력된 예상 데이터 비트들 (Dexpect\_ext[i])을 비교한다. 페일 플래그 신호 발생부 (200b)는 상기 읽기 인에이블 신호 (nREout)의 로우 구간 동안 비교 결과에 따라 페일 플래그 신호들 (FailFlag[0], FailFlag[1])을 출력한다.

<54> 예를 들면, 상기 내부 독출 데이터 비트들 (Dsense\_int[i]) 중 하나 (예를 들면, Dsense\_int[7])가 페일 비트인 경우, 즉, 내부 독출 데이터 비트 (Dsense\_int[7])이 예상 데이터 비트 (Dexpect\_ext[7])와 일치하지 않는 경우, XOR 게이트 (512)의 출력은 '1'이 되고, 나머지 XOR 게이트들 (513-515, 516-519)의 출력들은 '0'이 된다. 이러한 조건에 따르면, 독출 인에이블 신호 (nREout)가 로우 레벨을 가질 때, NOR 게이트 (548)는 로우-하이 천이를 갖는 페일 플래그 신호 (FailFlag[0])를 출력하고, NOR 게이트 (549)의 출력 (FailFlag[1])은 초기의 로우 레벨로 유지된다. 결론적으로, 상기 내부 독출 데이터 비트들 중 하나가 페일 비트인 경우, 페일 플래그 신호 (FailFlag[0])가 펄스 형태로 활성화된다.

<55> 내부 독출 데이터 비트들 (Dsense\_int[7], Dsense\_int[0])가 페일 비트인 경우, XOR 게이트들 (512, 519)의 출력들은 '1'이 되고, 나머지 XOR 게이트들의 출력들은 '0'이 된다. 이러한 조건에 따르면, 독출 인에이블 신호 (nREout)의 로우 구간 동안, NOR 게이트들 (548, 549)은 로우-하이 천이를 갖는 페일 플래그 신호들 (FailFlag[0], FailFlag[1])을 각각 출력한다. 결론적으로, 상기 내부 독출 데이터 비트들 중 적어도 2



개의 비트들이 페일 비트인 경우, 페일 플래그 신호들 (FailFlag[0], FailFlag[1])은 동시에 펄스 형태로 활성화된다.

<56> 다시 도 1을 참조하면, 페일 비트 카운터 및 래치 블록 (210)은 페일 비트 검출 명령 신호 (FailDetect\_CMD)가 로우 레벨에서 하이 레벨로 천이할 때 초기화된다. 상기 페일 비트 카운터 및 래치 블록 (210)은 상기 페일 비트 검출 블록 (200)으로부터 출력된 페일 플래그 신호들 (FailFlag[0], FailFlag[1])에 응답하여 페일 비트 수를 카운트하고, 상기 카운트된 페일 비트 수를 나타내는 페일 코드로서 페일 상태 신호들 (FailStatus[i])을 출력한다. 페일 비트 카운터 및 래치 블록 (210)의 바람직한 실시예가 도 4에 도시되어 있다.

<57> 도 4에 도시된 바와 같이, 페일 비트 카운터 및 래치 블록 (210)은 펄스 발생기 (560), 2개의 T 플립-플롭들 (561, 562), NOR 게이트 (563), 인버터 (564), 그리고 S-R 플립-플롭들 (565, 566)로 구성되며, 도시된 바와 같이 연결된다. 상기 T 플립-플롭들 (561, 562)은 카운터로서 동작하며, 상기 S-R 플립-플롭들 (565, 566)은 각각 래치로서 동작한다. T 플립-플롭의 바람직한 실시예가 도 5에 도시되어 있다. 펄스 발생기 (560)는 로우-하이 천이를 갖는 페일 비트 검출 명령 신호 (FailDetect\_CMD)에 응답하여 펄스 신호 (Clear)를 발생한다. 상기 T 플립-플롭들 (561, 562)과 상기 S-R 플립-플롭들 (565, 566)은 펄스 신호 (Clear)에 의해서 초기화된다. 페일 비트 카운터 및 래치 블록 (210)은 페일 비트수에 따라 다음과 같이 동작된다.

<58> 페일 비트 수가 2 비트 또는 그 보다 많은 경우, 페일 비트 카운터 및 래치 블록 (210)의 동작은 다음과 같다. 초기화된 후, 페일 플래그 신호 (FailFlag[0])가 로우-하이 천이를 가질 때, T 플립-플롭 (561)의 출력 (Q)이 로우-하이 천이를 가지며, 이는

S-R 플립-플롭 (565)의 출력 (FailStatus[0])가, 도 6에 도시된 바와 같이, 로우-하이 천이를 갖게 한다. 그 다음에, 상기 페일 플래그 신호 (FailFlag[0])가 다시 로우-하이 천이를 가지면, T 플립-플롭 (562)의 출력 (Q)이 로우-하이 천이를 갖는다. 이는 NOR 게이트 (563)의 출력이 페일 플래그 신호 (FailFlag1)의 로직 레벨에 관계없이 하이 레벨을 갖게 한다. 결과적으로, 도 6에 도시된 바와 같이, S-R 플립-플롭 (566)의 출력 (FailStatus[1])가 로우-하이 천이를 갖는다.

<59> 또는, 페일 플래그 신호들 (FailFlag0, FailFlag1)이 동시에 로우-하이 천이를 가질 때, 도 6에 도시된 바와 같이, S-R 플립-플롭 (565)은 T 플립-플롭 (561)의 출력에 따라 하이 레벨의 페일 상태 신호 (FailStatus0)를 출력하고, S-R 플립-플롭 (566)은 NOR 게이트 (563) 및 인버터 (564)를 통해 제공되는 하이 레벨의 페일 플래그 신호 (FailFlag1)에 따라 하이 레벨의 페일 상태 신호 (FailStatus1)를 출력한다.

<60> 페일 비트의 개수가 단지 하나인 경우, 페일 비트 카운터 및 래치 블록 (210)의 동작은 다음과 같다. 초기화된 후, 페일 플래그 신호 (FailFlag[0])가 로우-하이 천이를 가질 때, T 플립-플롭 (561)의 출력 (Q)이 로우-하이 천이를 가지며, 이는, 도 6에 도시된 바와 같이, S-R 플립-플롭 (565)의 출력 (FailStatus[0])가 로우-하이 천이를 갖게 한다. 페일 비트가 전혀 없는 경우, 페일 비트 카운터 및 래치 블록 (210)으로부터 출력된 페일 상태 신호들 (FailStatus[0], FailStatus[1])은, 도 6에 도시된 바와 같이, 로우 레벨로 유지된다.

<61> 다시 도 1을 참조하면, 데이터 출력 버퍼 블록 (220)은, 정상적인 독출 동작 모드 동안, 데이터 입출력 제어 블록 (180)으로부터 출력된 독출 데이터 비트들 (Dsense[i])을 대응하는 입출력 핀들 (I/O[i])로 전달하는 정상적인 데이터 출력 경로를 제공한다.

페일 비트를 검출하기 위한 테스트 동작 모드 동안, 데이터 출력 버퍼 블록 (220)의 정상적인 데이터 출력 경로는 차단되는 반면에, 페일 비트 카운터 및 래치 블록 (210)으로부터 출력된 페일 상태 신호들 (FailStatus[i]) (i=0-7)이 페일 비트 독출 명령 신호 (FailRead\_CMD)의 활성화에 따라 출력된다. 데이터 출력 버퍼 블록 (220)의 바람직한 실시예를 보여주는 도 7을 참조하면, 신호들 (FailRead\_CMD, FailDetect\_CMD)이 로우 레벨로 유지될 때, 정상적인 데이터 출력 경로가 전달 게이트 (574)를 통해 형성된다. 반면, 페일 비트 독출 명령 신호 (FailRead\_CMD)가 하이 레벨로 유지될 때, 정상적인 데이터 출력 경로는 패스 게이트 (574)에 의해서 차단되고, 페일 상태 신호 (FailStatus[i])가 전달 게이트 (578)를 통해 대응하는 입출력 핀 (I/O[i])으로 출력된다.

<62>       상기 페일 비트 카운터 및 래치 블록 (210)으로부터 출력되는 페일 상태 신호들 (FailStatus[i])은 입출력 핀들 (I/O[i])에 각각 대응한다. 이 실시예에서는, 단지 2개의 페일 상태 신호들 (FailStatus[0], FailStatus[1])이 사용되기 때문에, 나머지 페일 상태 신호들 (FailStatus[2]-FailStatus[7])은 로우 레벨로 유지되도록 설정될 것이다.

<63>       본 발명에 따른 페일 비트 검출을 위한 불휘발성 반도체 메모리 장치의 전체적인 동작을 보여주는 흐름도가 도 9에 도시되어 있다.

<64>       도 9를 참조하면, 먼저, 데이터 입력 명령이 단계 (S100)에서 입력된 후, 테스트하고자 하는 행 어드레스 및 열 어드레스가 순차적으로 입력된다 (S110). 그 다음에, 프로그램될 데이터가 입출력 핀들 (I/O[i])을 통해 순차적으로 입력된다 (S120). 프로그램을 진행할 준비가 완료되면, 프로그램 실행 명령의 입력에 따라

프로그램 동작이 수행된다 (S130). 단계 (S140)에서 상태 독출 명령이 입력되면, 칩이 레디 상태인지 또는 비지 상태 인지의 여부가 판별된다 (S150). 만약 칩이 레디 상태이면, 프로그램 동작이 정상적으로 수행되었는 지의 여부가 판별된다 (S160). 그렇지 않으면, 프로그램 동작이 페일로서 종료된다. 프로그램 동작이 정상적으로 수행되면, 프로그램 동작은 패스로서 종료될 것이다.

<65> 앞서 설명된 프로그램 방법은 U.S. Patent No. 5,473,563에 '*NONVOLATILE SEMICONDUCTOR MEMORY*'라는 제목으로, U.S. Patent No. 5,541,879에 '*NONVOLATILE SEMICONDUCTOR MEMORY HAVING PROGRAM VERIFYING CIRCUIT*'라는 제목으로, U.S. Patent No. 5,546,341에 '*NONVOLATILE SEMICONDUCTOR MEMORY*'라는 제목으로, 그리고 U.S. Patent No. 5,712,818에 '*DATA LOADING CIRCUIT FOR PARTIAL PROGRAM OF NONVOLATILE SEMICONDUCTOR MEMORY*'라는 제목으로 각각 게재되어 있으며, 레퍼런스로서 포함된다.

<66> 단계 (S160)에서 프로그램 동작이 패스로서 판별되면, 독출 명령이 입력되고 (S170), 행 어드레스 및 열 어드레스가 입력된다 (S180). 이때, 열 어드레스의 값은 최소값 (LSB)으로 설정된다. 그 다음에, 상기 설정된 행 어드레스에 대응하는 행 또는 페이지의 메모리 셀들에 저장된 셀 데이터가 페이지 버퍼 및 래치 블록 (160)에 의해서 감지된다 (S190). 다음 단계 (S200)에서는 페일 비트 검출 명령이 입력되고, 일련의 페일 비트 검출 절차들을 통해 페일 비트 수가 검출되고 저장된다 (S210). 페일 비트 상태 독출 명령이 입력되면 (S220), 페일 비트 수를 나타내는 페일 코드가 출력된다 (S230). 앞서 설명된 페일 비트 검출 단계들 (S200-S230)이 이후 상세히 설명될 것이다.

<67> 본 발명에 따른 페일 비트 검출 동작을 보여주는 흐름도가 도 10에 도시되어 있다. 도 11a 및 도 11b는 2 또는 그 보다 많은 페일 비트들이 발생하는 불휘발성 반도체 메모

리 장치의 동작 타이밍도이다. 이하, 본 발명에 따른 페일 비트 검출 동작이 참조 도면들에 의거하여 상세히 설명된다.

<68> 설명의 편의를 위해서, 한 페이지에 대한 프로그램 동작이 수행되고 독출 명령이 입력된다고 가정하자. 즉, 한 페이지에 대한 페일 비트 검출 동작이 이후 설명될 것이다. 하지만, 복수의 페이지들로 구성된 메모리 블록에 포함된 페일 비트 수가 본 발명에 따른 페일 비트 검출 스킴에 의해서 검출될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<69> 도 10에 도시된 바와 같이, 단계 (300)에서는 페일 비트 검출 명령이 그로벌 버퍼 및 제어 버퍼 블록 (110)을 통해 커맨드 레지스터 (120)에 전달된다. 상기 커맨드 레지스터 블록 (120)은 페일 비트 검출 명령에 응답하여 페일 비트 검출 명령 신호 (FailDetect\_CMD)를 활성화시킨다. 페일 비트 검출 명령 신호 (FailDetect\_CMD)의 활성화에 따라 페일 비트 카운터 및 래치 블록 (210)의 펄스 발생기 (560) (도 4 참조)는 펄스 신호 (Clear)를 발생한다. 결과적으로, 페일 비트 카운터 및 래치 블록 (210)의 T 플립-플롭들 (561, 562) 및 S-R 플립-플롭들 (565, 566)이 초기화된다. 이러한 초기화 동작은 단계 (S310)에서 수행된다. 이때, 도 11A 및 11B에 도시된 바와 같이, 페일 상태 신호들 (FailStatus[0]-FailStatus[7])은 로우 레벨로 유지된다.

<70> 다음 단계 (S320)에서 열 어드레스가 최소값 (LSB)으로 설정된 후, 상기 열 어드레스가 최대값 (MSB)인 지의 여부가 단계 (S330)에서 판별된다. 상기 열 선택 블록 (170)은 읽기 동작에 의해서 감지된 데이터 비트들 중 그렇게 설정된 열 어드레스에 대응하는 데이터 비트들을 선택하고, 상기 선택된 독출 데이터 비트들은 독출 인에이블 신호 (nREout)에 동기되어 데이터 입출력 제어 블록 (180)을 통해 페일 비트 검출 블록 (200)

으로 전달된다. 게다가, 상기 예상 데이터 버퍼 블록 (190)은 페일 비트 검출 명령 신호 (FailDetect\_CMD)의 활성화 구간 동안 입출력 핀들 (I/O[i])에 제공되는 예상 데이터 비트들 (Dexpect\_ext[i])을 상기 페일 비트 검출 블록 (200)으로 전달한다.

<71> 단계 (S340)에서, 상기 페일 비트 검출 블록 (200)은 입력된 독출 데이터 비트들 (Dsense\_int[i]) 및 예상 데이터 비트들 (Dexpect\_ext[i])을 비교하고, 비교 결과에 따라 페일 플래그 신호들 (FailFlag[0], FailFlag[1])을 발생한다. 다음 단계 (S350)에서는 페일 비트가 발생되었는 지의 여부가 판별된다. 예를 들면, 도 11a에 도시된 바와 같이, 독출 데이터 비트들 중 하나가 페일 비트인 경우, 페일 플래그 신호 (FailFlag[0])가 독출 인에이블 신호 (nREout)의 로우 구간 동안 활성화된다. 이는, 앞서 설명된 바와 같이, 페일 상태 신호 (FailStatus[0])가 하이 레벨로 활성화되게 한다. 즉, 1-비트 페일이 발생되었음이 페일 비트 카운터 및 래치 블록 (210)의 S-R 플립-플롭 (565)에 저장된다. 그 다음에, 절차는 단계 (S370)로 진행하며, 상기 단계 (S370)에서는 열 어드레스가 신호 (nRE)에 동기되어 증가된다. 만약 독출 데이터 비트들이 모두 예상 데이터 비트들과 일치하면, 절차는 상기 단계 (S370)로 진행한다.

<72> 상기 단계들 (S330-S370)의 루프는 열 어드레스가 최대값에 도달할 때까지 반복적으로 수행된다. 단계들 (S330-S370)의 루프를 수행할 때, 도 11a에 도시된 바와 같이, 독출 데이터 비트들 중 하나가 다시 페일 비트로 판별될 수 있다. 이러한 경우, 페일 플래그 신호 (FailFlag[1])가 독출 인에이블 신호 (nREout)의 로우 구간 동안 활성화된다. 이는, 앞서 설명된 바와 같이, 페일 상태 신호 (FailStatus[1])가 하이 레벨로 활성화되게 한다. 즉, 2-비트 페일이 발생되었음이 페일 비트 카운터 및 래치 블록 (210)의 S-R 플립-플롭들 (565, 566)에 저장된다.

<73> 또는, 도 11b에 도시된 바와 같이, 독출 데이터 비트들 중 2개의 데이터 비트들이 동시에 페일 비트로서 판별될 수 있다. 이러한 경우, 페일 플래그 신호들 (FailFlag[0], FailFlag[1])이 독출 인에이블 신호 (nREout)의 로우 구간 동안 동시에 활성화된다. 이는, 앞서 설명된 바와 같이, 페일 상태 신호들 (FailStatus[0], FailStatus[1])이 동시에 하이 레벨로 활성화되게 한다. 즉, 2-비트 페일이 발생되었음이 페일 비트 카운터 및 래치 블록 (210)의 S-R 플립-플롭들 (565, 566)에 저장된다.

<74> 계속해서, 단계 (S330)에서 열 어드레스가 최대값으로 판별되면, 페일 비트 상태 독출 명령이 단계 (S380)에서 입력된다. 이에 따라, 커맨드 레지스터 블록 (120)은 페일 비트 검출 명령 신호 (FailDetect\_CMD)가 로우 레벨이 되게 하고 페일 비트 독출 명령 신호 (FailRead\_CMD)가 하이 레벨이 되게 한다. 데이터 출력 버퍼 블록 (220)은 하이 레벨의 페일 비트 독출 명령 신호 (FailRead\_CMD)에 응답하여 페일 비트 카운터 및 래치 블록 (210)으로부터 출력된 페일 상태 신호들 (FailStatus[0]-FailStatus[7])을 대응하는 입출력 핀들 (I/O[0]-I/O[7])을 통해 출력한다.

<75> 앞서 설명된 바와 같이, 페일 상태 신호들 (FailStatus[2]-FailStatus[7])이 로우 레벨로 유지되기 때문에, 입출력 핀들 (I/O[0], I/O[1])의 로직 상태들에 따라 한 페이지에 대한 페일 비트 수가 판별될 것이다. 도 11a 및 도 11b에서 알 수 있듯이, 페일 상태 신호들 (FailStatus[0], FailStatus[1])이 모두 하이 레벨이 되기 때문에, 대응하는 입출력 핀들 (I/O[0], I/O[1])의 로직 상태들은 '11' (페일 코드로서 '03h')이 된다. 즉, 2-비트 페일이 발생되었음이 외부에서 검출될 것이다.

<76> 하나의 페일 비트가 발생하는 불휘발성 반도체 메모리 장치의 동작 타이밍도를 보여주는 도 12를 참조하면, 앞서 설명된 바와 같이, 단지 하나의 페일 비트가 발생하는

경우, 페일 상태 신호 (FailStatus[0])는 하이 레벨로 유지되고, 페일 상태 신호 (FailStatus[1])는 로우 레벨로 유지된다. 페일 상태 신호들 (FailStatus[1], FailStatus[0])이 각각 하이 레벨과 로우 레벨이 되기 때문에, 대응하는 입출력 핀들 (I/O[1], I/O[0])의 로직 상태들은 '01' (페일 코드로서 '01h')이 된다. 즉, 1-비트 페일이 발생되었음이 외부에서 검출될 것이다.

<77>      페일 비트가 발생되지 않은 불휘발성 반도체 메모리 장치의 동작 타이밍도를 보여주는 도 13을 참조하면, 앞서 설명된 바와 같이, 페일 비트가 발생되지 않은 경우, 페일 상태 신호들 (FailStatus[0], FailStatus[1])은 모두 로우 레벨로 유지된다. 페일 상태 신호들 (FailStatus[1], FailStatus[0])이 모두 로우 레벨이 되기 때문에, 도 13에 도시된 바와 같이, 대응하는 입출력 핀들 (I/O[1], I/O[0])의 로직 상태들은 '00' (페일 코드로서 '00h')이 된다. 즉, 페일이 발생되지 않음이 외부에서 검출될 것이다.

<78>      이러한 페일 비트 검출 스킴에 따르면, 메모리 블록들 각각의 페일 비트 수를 정확하게 검출할 수 있다. 예를 들면, 패키지 후 메모리 장치의 임의의 메모리 블록이 진행성 페일에 의해서 배드 블록으로 판별될 수 있다. 이때, 상기 메모리 블록 내의 페일 비트 수가 전자 시스템의 에러 정정 코드 알고리즘에 의해서 보정 가능한 범위 내에 속하는 경우, 그러한 메모리 장치는 폐기됨 없이 그대로 사용될 수 있다. 이는 수율이 향상됨을 의미한다.

<79>      도 14는 본 발명의 제 2 실시예에 따른 불휘발성 반도체 메모리 장치를 보여주는 블록도이다. 본 발명의 제 2 실시예는 감지된 데이터 비트들 (Dsense[i])이 데이터 출력 버퍼 블록 (220')을 통해 페일 비트 검출 블록 (200')으로 전달된다는 점을 제외하면 도 1의 제 1 실시예와 실질적으로 동일하며, 그것에 대한 설명은 그러므로 생략된다. 결과



적으로, 제 2 실시예가 제 1 실시예와 동일한 효과를 가짐은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<80> 본 발명의 제 2 실시예에 따른 데이터 출력 버퍼 블록 (220')을 보여주는 도 15을 참조하면, 데이터 입출력 제어 블록 (180')으로부터 출력된 데이터 비트들 (Dsense[i])을 독출 데이터 비트들 (Dsense\_int[i])로서 출력하기 위한 데이터 전달 경로 (낸드 게이트 (586)와 인버터 (587)로 구성됨)가 제 2 실시예에 따른 데이터 출력 버퍼 블록 (220')에 추가되었다. 또한, 본 발명의 제 2 실시예에 따른 페일 비트 검출 블록 (200')은 도 3에 도시된 페일 비트 검출 블록 (200)의 페일 플래그 신호 발생부 (200b)와 동일하게 구성되며, 그것에 대한 설명은 그러므로 생략된다. 본 발명의 제 2 실시예에 따른 불휘발성 반도체 메모리 장치의 페일 비트 검출 동작은 흐름도 도 11a, 도 11b, 도 12 및 도 13을 참조하여 설명된 제 1 실시예와 동일하며, 그것에 대한 설명은 그러므로 생략된다. 따라서, 제 2 실시예가 제 1 실시예와 동일한 효과를 가짐은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

#### 【발명의 효과】

<81> 상술한 바와 같이, 불휘발성 반도체 메모리 장치에/로부터 데이터를 프로그램하는/읽는 과정에서 발생하는 페일 비트 수를 정확하게 카운트함으로써 수율을 향상시킬 수 있다. 게다가, 종래의 소프트웨어에 의한 페일 비트 검출 동작과 비교하여 볼 때 테스트 시간이 단축될 수 있다.

**【특허청구범위】**

**【청구항 1】**

행들과 열들의 매트릭스 형태로 배열된 메모리 셀들의 어레이를 갖는 불휘발성 반도체 메모리 장치에 있어서:

행 어드레스에 응답하여 상기 행들 중 하나를 선택하는 행 디코더 회로와;

상기 선택된 행의 메모리 셀들에 프로그램된 데이터를 감지하고 상기 감지된 데이터를 임시적으로 저장하는 페이지 버퍼 및 래치 회로와;

열 어드레스에 응답하여 상기 열들의 일부를 선택하고, 상기 선택된 열들에 대응하는 데이터 비트들을 출력하는 열 선택 회로와;

페일 비트 검출 명령 신호에 응답하여 입출력 핀들을 통해 외부로부터 제공되는 예상 데이터 비트들을 받아들이는 예상 데이터 입력 버퍼 회로와;

상기 페일 비트 검출 명령 신호에 응답하여 동작되며, 상기 예상 데이터 비트들과 상기 선택된 데이터 비트들을 받아들이고, 상기 열 선택 회로에 의해서 선택된 데이터 비트들이 페일 비트를 포함하는지의 여부를 판별하여 판별 결과에 따른 페일 플래그 신호들을 출력하는 페일 비트 검출 회로 및;

상기 페일 비트 검출 회로로부터의 페일 플래그 신호들에 응답하여 상기 선택된 행의 메모리 셀들에 저장된 데이터 비트들에 대한 페일 비트 수를 카운트하여 상기 카운트된 페일 비트 수를 나타내는 페일 코드를 출력하는 페일 비트 카운터 및 래치 회로를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 페일 비트 검출 회로는 상기 열 선택 회로를 통해 전달되는 데이터 비트들을 클럭 신호에 동기되어 받아들이는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

**【청구항 3】**

제 2 항에 있어서,

상기 클럭 신호는 독출 인에이블 신호인 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

**【청구항 4】**

제 1 항에 있어서,

상기 페일 비트 카운터 및 래치 회로는 상기 페일 비트 검출 명령 신호가 로우 레벨에서 하이 레벨로 천이할 때 초기화되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

**【청구항 5】**

제 1 항 또는 제 2 항에 있어서,

상기 입출력 핀들에 연결된 데이터 출력 버퍼 회로를 부가적으로 포함하며, 상기 데이터 출력 버퍼 회로는 상기 페일 비트 검출 명령 신호의 활성화 구간 동안 상기 열 선택 회로에 의해서 선택된 데이터 비트들이 상기 입출력 핀들로 전달되는 것을 방지하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

**【청구항 6】**

제 5 항에 있어서,

상기 데이터 출력 버퍼 회로는 페일 비트 독출 명령 신호의 활성화 구간 동안 상기 페일 비트 카운터 및 래치 회로로부터의 페일 코드가 상기 클럭 신호에 동기되어 상기 입출력 핀들로 전달되게 하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

**【청구항 7】**

제 1 항 또는 제 2 항에 있어서,

상기 입출력 핀들에 연결된 데이터 출력 버퍼 회로를 부가적으로 포함하며, 상기 데이터 출력 버퍼 회로는 상기 페일 비트 검출 명령 신호의 활성화 구간 동안 상기 열 선택 회로에 의해서 선택된 데이터 비트들이 상기 페일 비트 검출 회로로 전달되게 그리고 상기 입출력 핀들로 전달되지 않게 하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

**【청구항 8】**

제 7 항에 있어서,

상기 데이터 입출력 버퍼 회로는 페일 비트 독출 명령 신호의 활성화 구간 동안 상기 페일 비트 카운터 및 래치 회로로부터의 페일 코드가 상기 클럭 신호에 동기되어 상기 입출력 핀들로 전달되게 하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

**【청구항 9】**

제 1 항에 있어서,

상기 페일 비트 검출 회로는 제 1 및 제 2 페일 플래그 신호들을 발생하되, 상기

페일 비트 검출 회로는 입력된 데이터 비트들 중 하나가 페일 비트일 때 상기 제 1 페일 플래그 신호를 활성화시키고, 상기 입력된 데이터 비트들 중 적어도 2개가 페일 비트일 때 상기 제 1 및 제 2 페일 플래그 신호들을 동시에 활성화시키는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

【청구항 10】

제 9 항에 있어서,

상기 제 1 및 제 2 페일 플래그 신호들 각각은 클럭 신호로서 독출 인에이블 신호의 활성화 구간 동안 활성화되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

【청구항 11】

제 9 항에 있어서,

상기 페일 비트 카운터 및 래치 회로는

상기 제 1 페일 플래그 신호에 응답하여 제 1 및 제 2 카운트 신호들을 출력하는 카운터와;

상기 제 1 카운트 신호는 상기 제 1 페일 플래그 신호의 제 1 활성화에 따라 펄스 형태로 활성화되고, 상기 제 2 카운트 신호는 상기 제 1 페일 플래그 신호의 제 2 활성화에 따라 펄스 형태로 활성화되며;

상기 제 2 카운트 신호와 상기 제 2 페일 플래그 신호를 조합하여 설정 신호를 출력하는 조합 회로 및;

상기 제 1 카운트 신호가 활성화될 때 제 1 페일 상태 신호를 활성화시키고, 상기

조합 회로로부터의 설정 신호가 활성화될 때 제 2 페일 상태 신호를 활성화시키는 레지스터를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

【청구항 12】

제 11 항에 있어서,

상기 페일 비트 카운터 및 래치 회로는 상기 페일 비트 검출 명령 신호가 활성화될 때 펄스 신호를 발생하는 펄스 발생기를 부가적으로 포함하며, 상기 카운터 및 상기 레지스터는 상기 펄스 신호에 의해서 초기화되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

【청구항 13】

행들과 열들의 매트릭스 형태로 배열된 메모리 셀들의 어레이를 갖는 불휘발성 반도체 메모리 장치의 페일 비트를 검출하는 방법에 있어서:

읽기 명령 신호에 응답하여 상기 어레이에 저장된 데이터를 감지하는 단계와;

열 어드레스에 응답하여 상기 감지된 데이터 비트들 중 일부를 선택하는 단계와;

상기 선택된 데이터 비트들이 외부로부터 인가되는 대응하는 예상 데이터 비트들과 각각 일치하는지의 여부를 검출하는 단계와;

상기 검출 결과에 따라 일치하지 않는 데이터 비트 수를 카운트하고, 상기 카운트 값에 따라 결정된 페일 코드를 저장하는 단계와;

상기 열 어드레스를 증가시킨 후, 상기 열 어드레스가 최대값에 도달할 때까지 상기 선택, 검출 및 저장 단계들을 반복적으로 수행하는 단계와;

상기 열 어드레스가 최대값에 도달할 때, 페일 비트 독출 명령 신호에 응답하여 상기 저장된 페일 코드를 출력하는 단계를 포함하는 것을 특징으로 하는 방법.

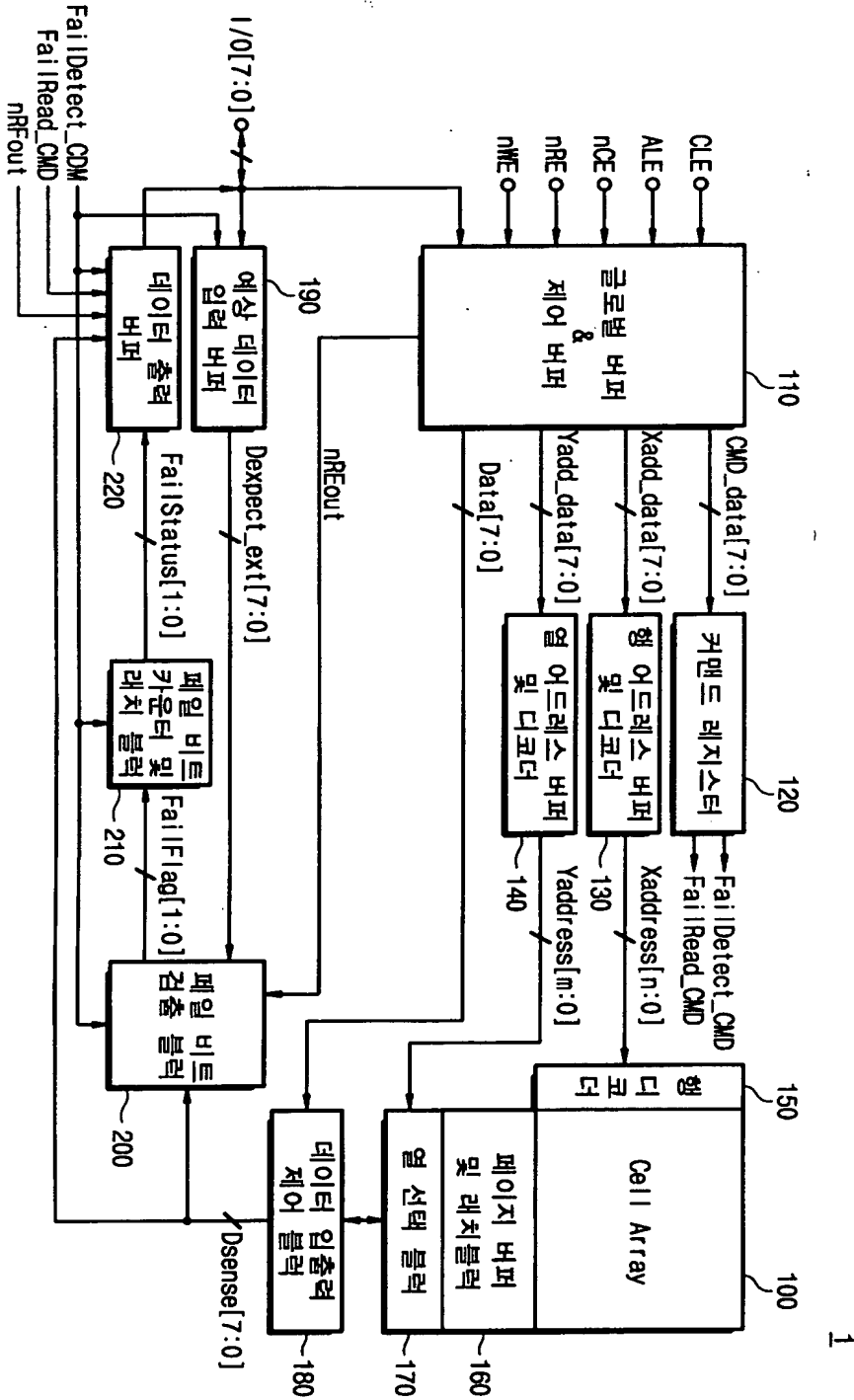
**【청구항 14】**

제 13 항에 있어서,

상기 감지 동작이 완료된 후 페일 비트 검출 신호가 활성화될 때 상기 페일 비트 비트 검출 신호에 응답하여 페일 비트 카운터 및 래치 회로를 초기화하는 단계를 부가적으로 포함하며, 상기 페일 코드는 페일 비트 카운터 및 래치 회로에 저장되는 것을 특징으로 하는 방법.

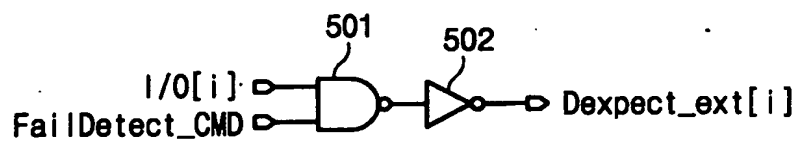
【도면】

【도 1】

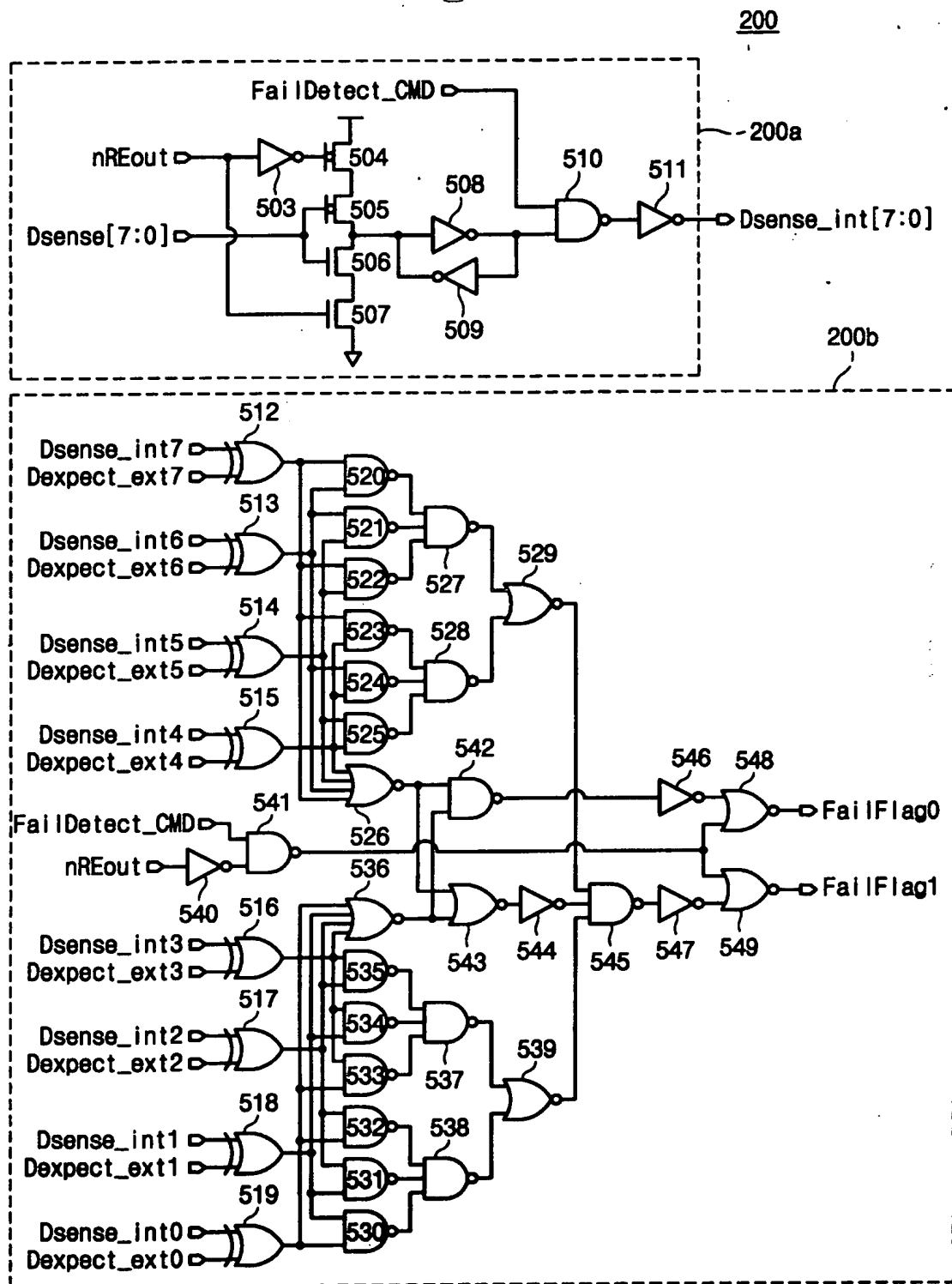




【도 2】

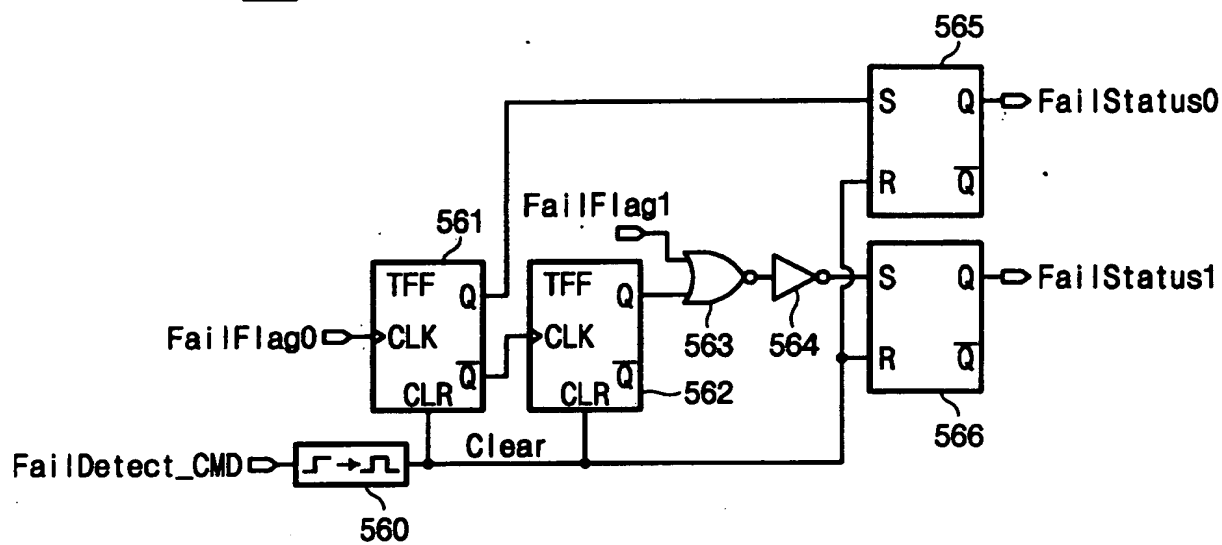
190

【도 3】

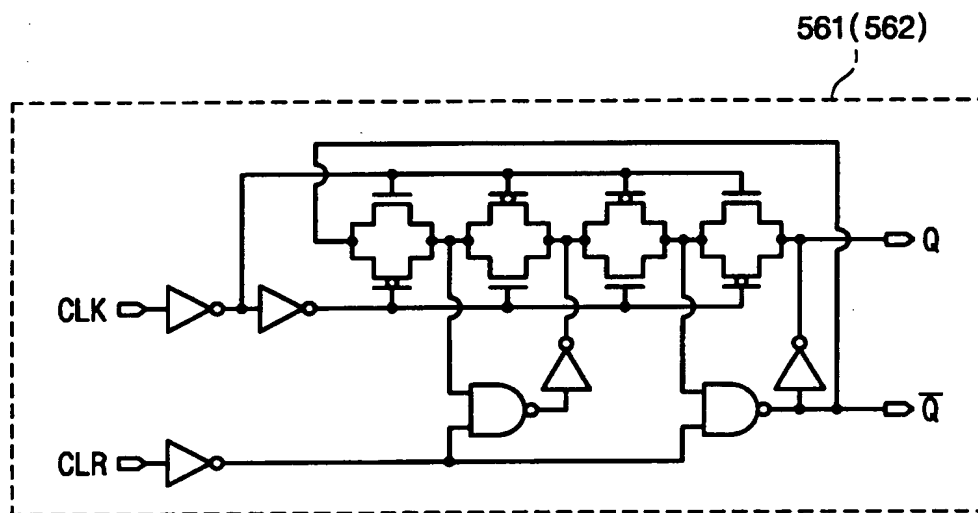


【도 4】

210



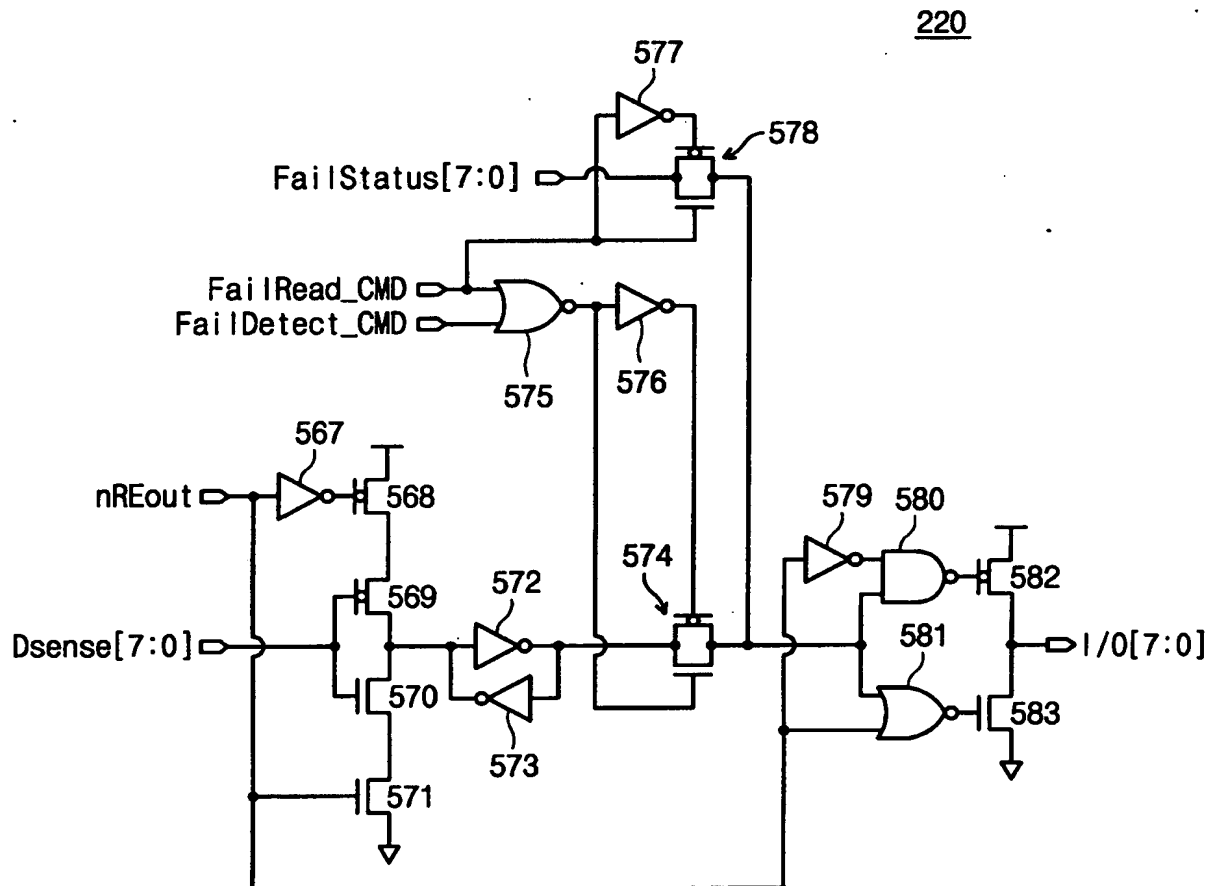
【도 5】



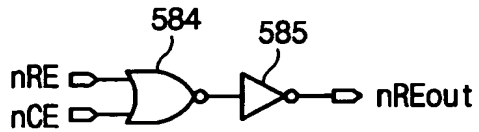
【도 6】

Number of Fail Bits		More than 2 Bits		1 Bit	none
Input	FailFlag0				
	FailFlag1				
Output	FailStatus0				
	FailStatus1				

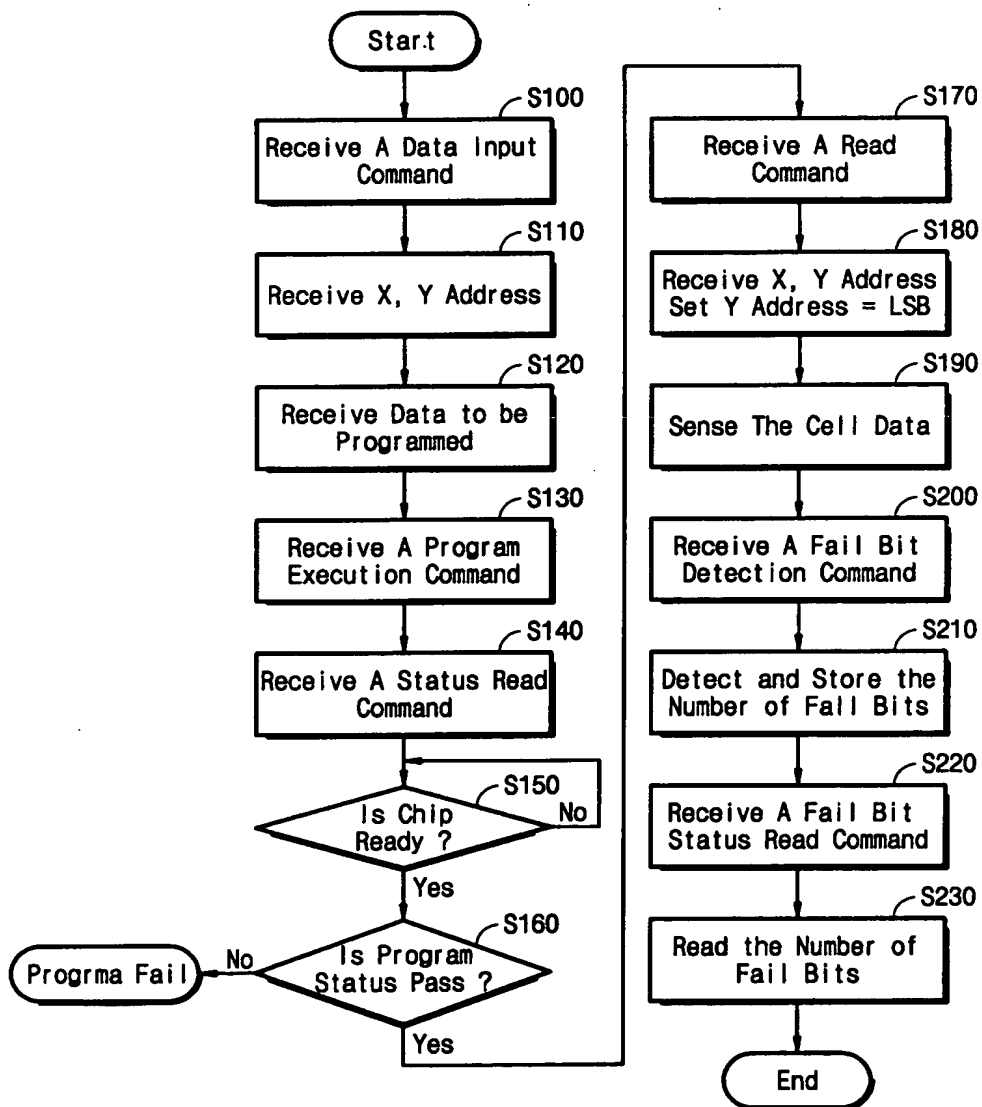
【도 7】



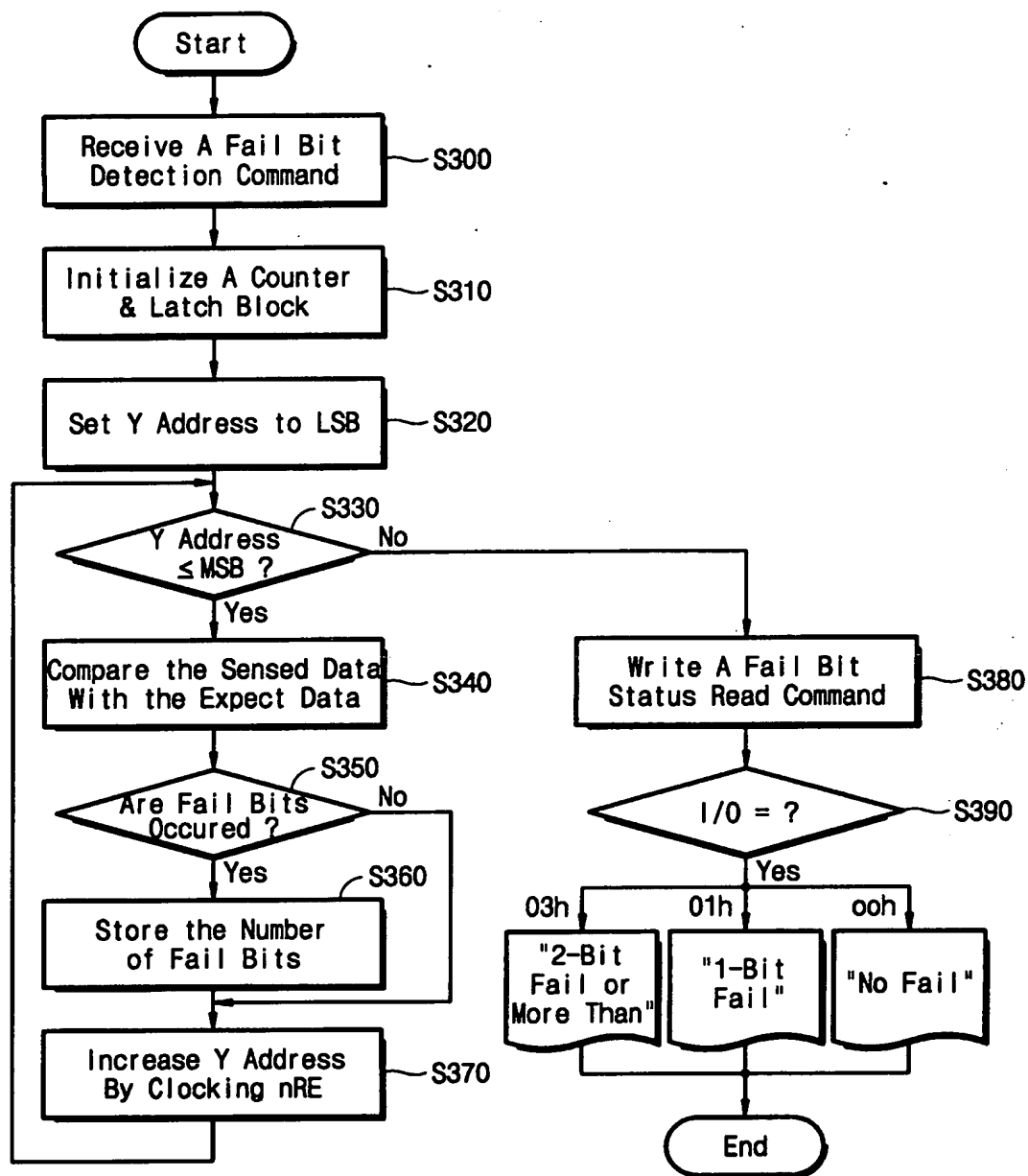
【도 8】



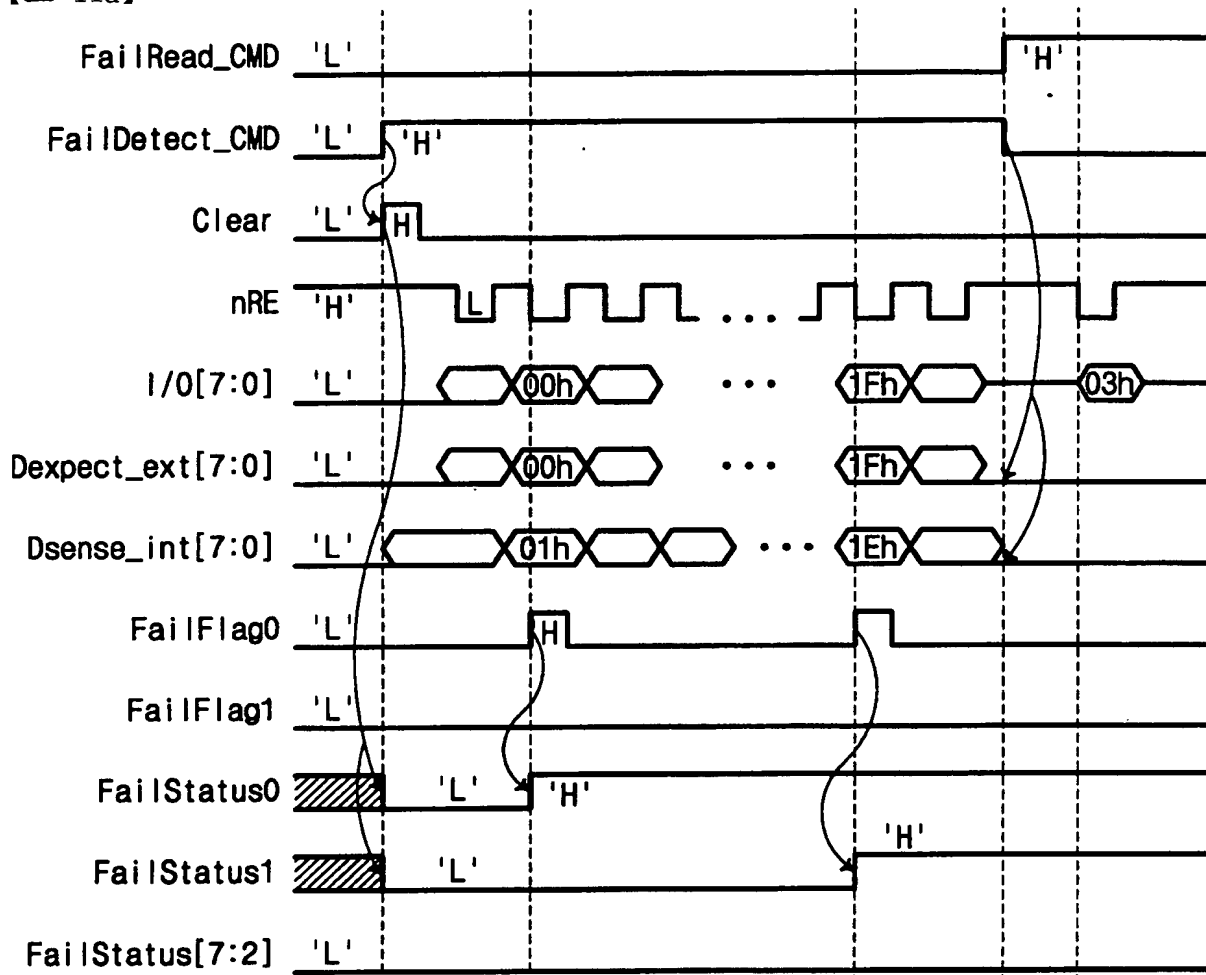
【도 9】



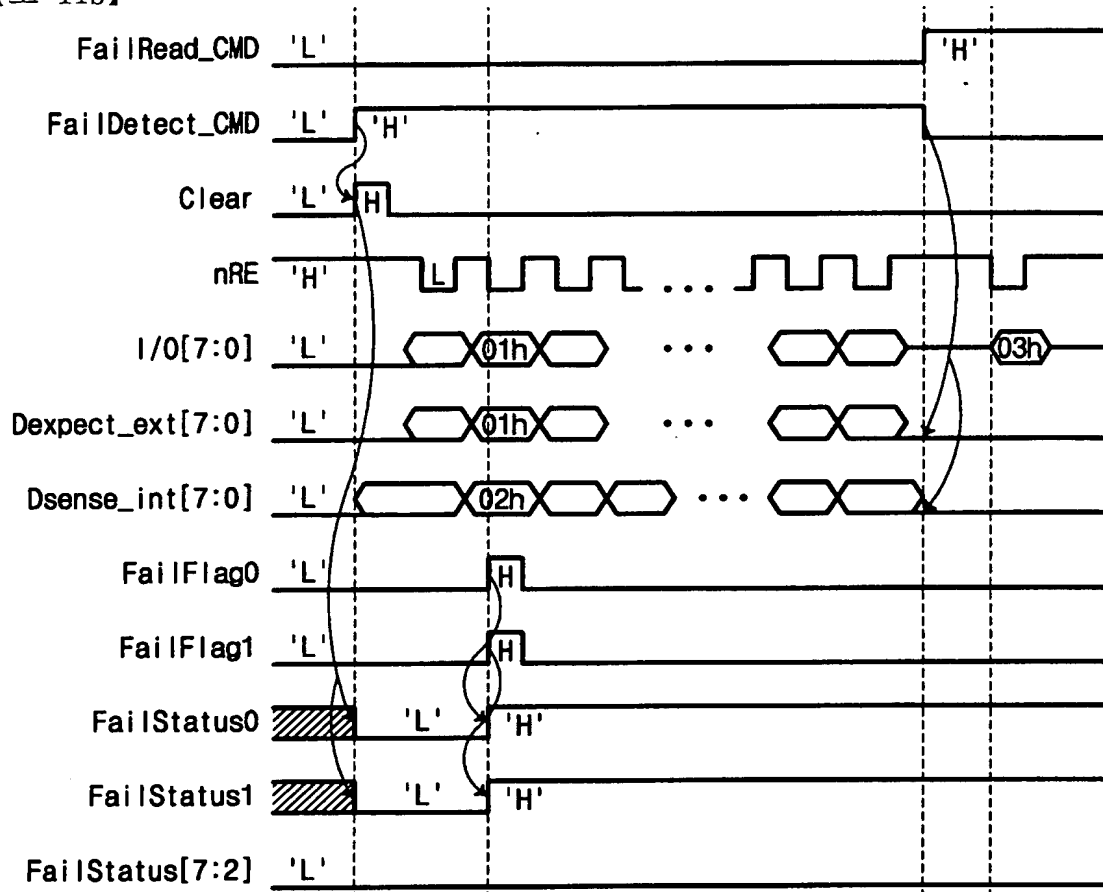
【도 10】



【도 11a】

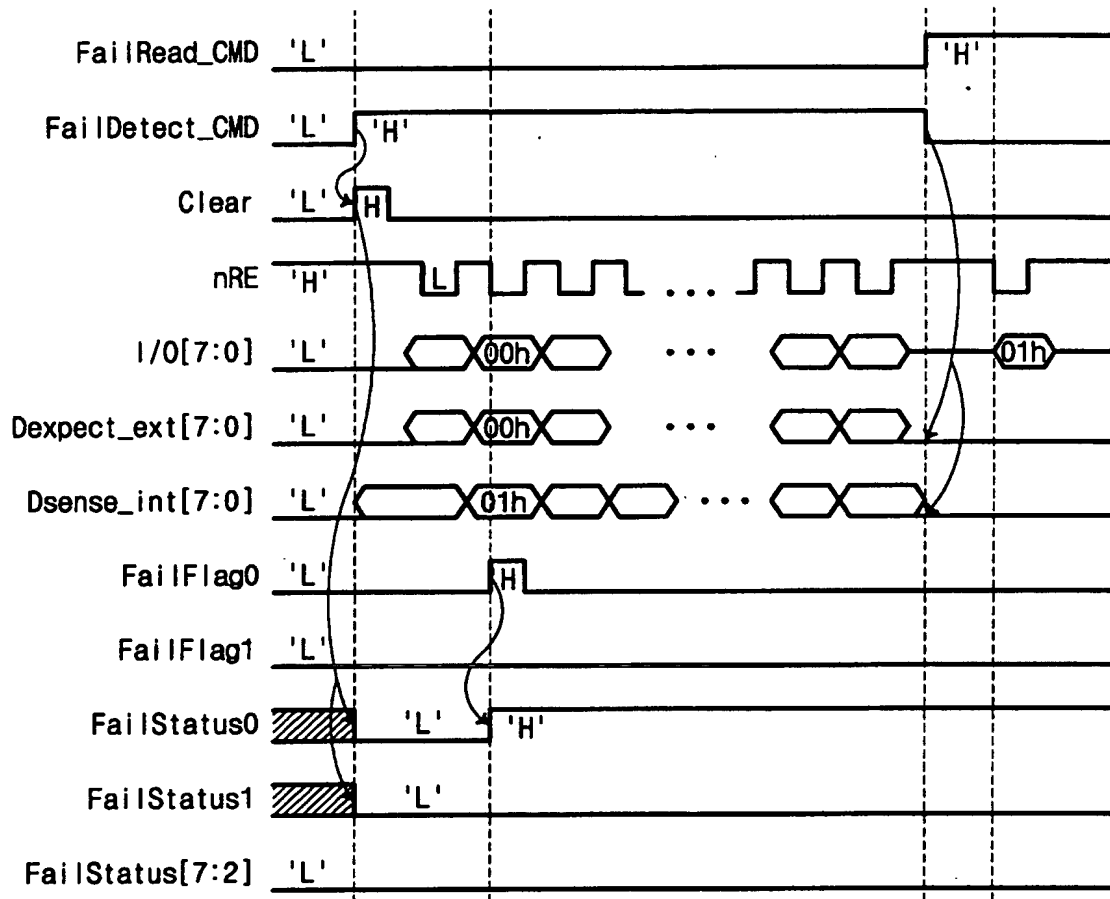


【도 11b】

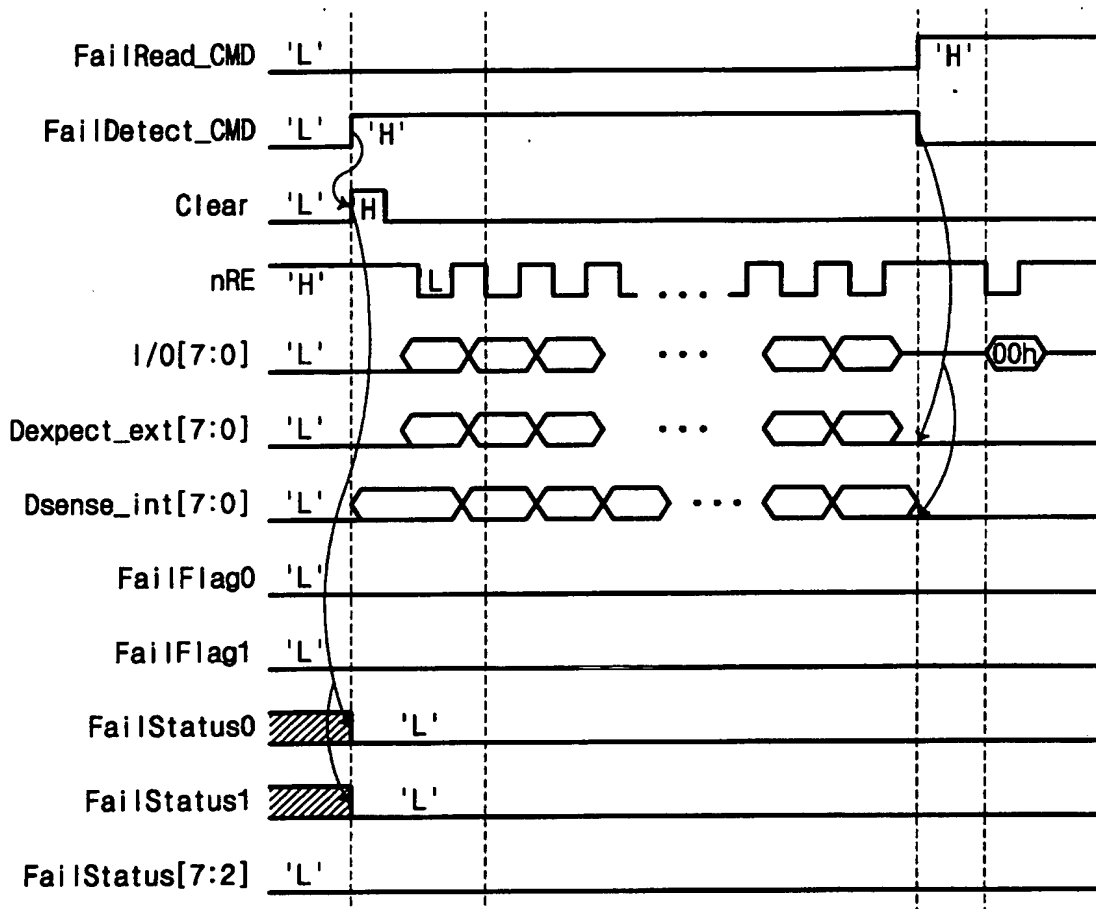




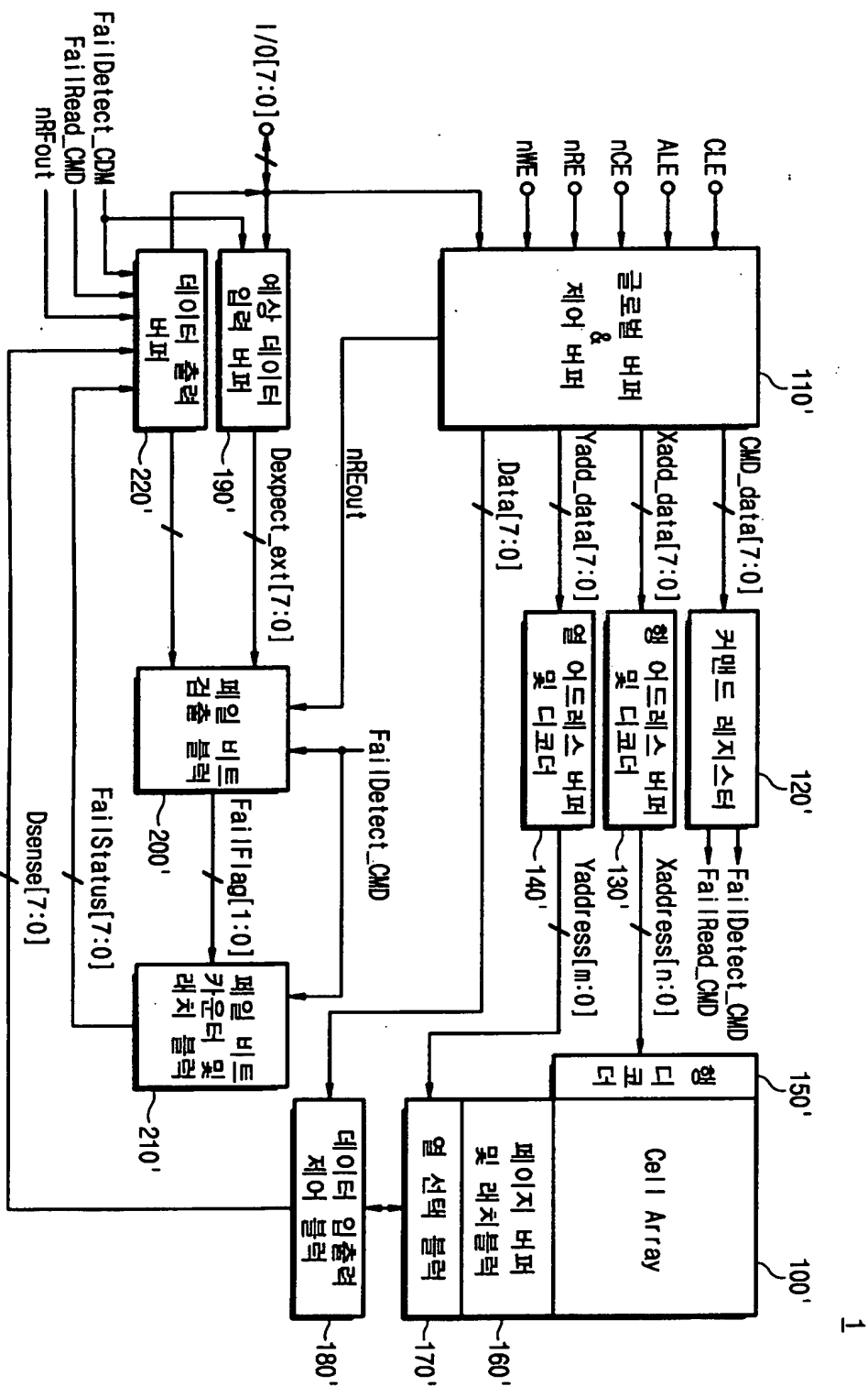
【도 12】



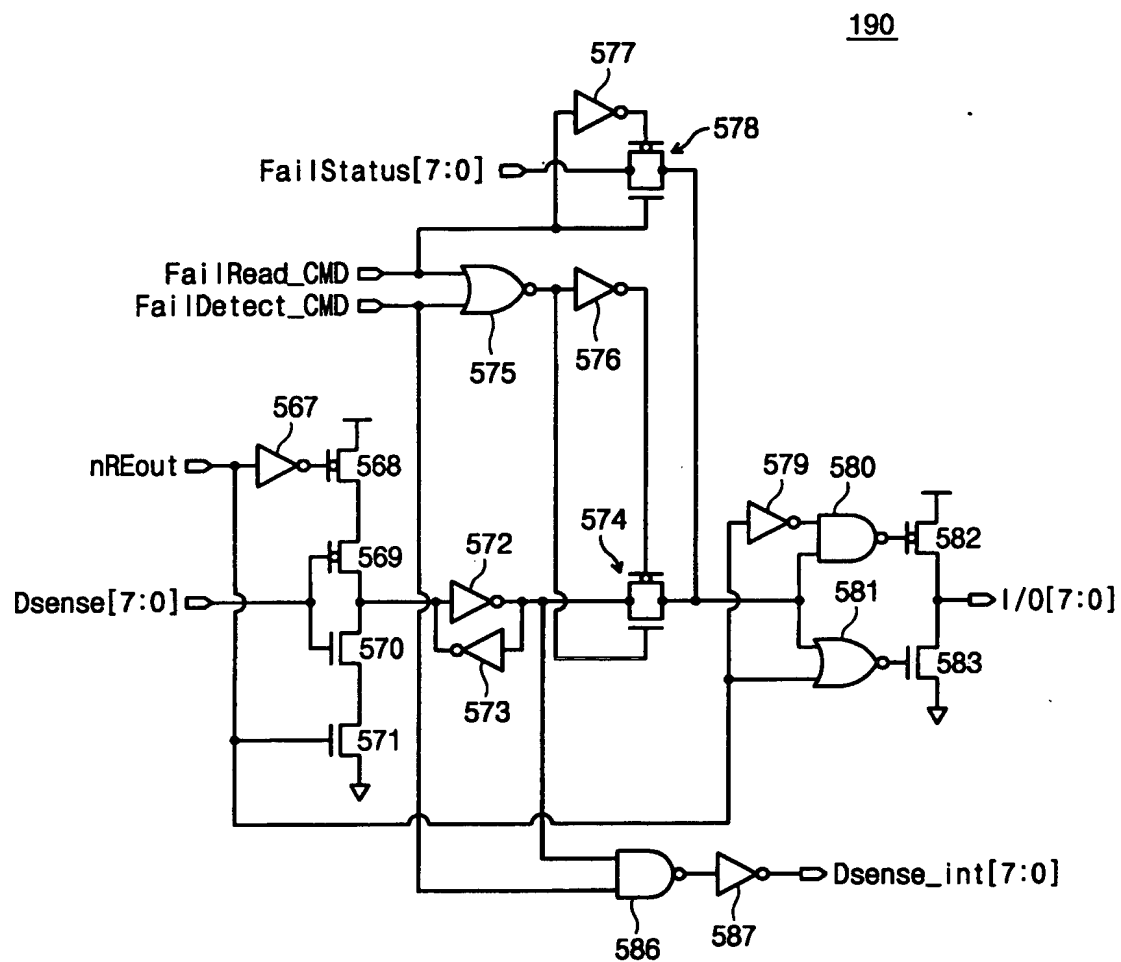
【도 13】



【도 14】



【도 15】



【도 16】

